

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-261760

(43)Date of publication of application : 18.10.1989

(51)Int.Cl.

G06F 13/10

G06F 9/06

(21)Application number : 63-088940

(71)Applicant : CANON INC

(22)Date of filing : 13.04.1988

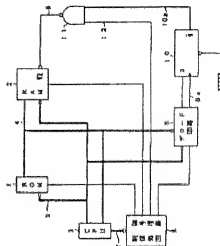
(72)Inventor : SHINTANI TOSHIYUKI

(54) COMPUTER SYSTEM

(57)Abstract:

**PURPOSE:** To protect a basic I/O system(BIOS) program from runaway destruction due to software and to efficiently rewrite a necessary part by providing the title device with write control means for inhibiting or permitting writing operation to a BIOS program are written a random access memory(RAM).

CONSTITUTION: At the time of a reading access to a read-only memory(ROM) 1, a BIOS program writing means 3 writes a BIOS program read out at a prescribed timing in the RAM 2. After ending said writing, the write control means 3, 8, 10W12 inhibit or permit writing operation to the BIOS program area written in the RAM 2. Consequently, an illegal access to the RAM 2 can be inhibited, the rewriting of the contents of the RAM 2 can be previously prevented and a necessary part of the BIOS program can be efficiently rewritten without executing system resetting processing.



## ⑫ 公開特許公報(A) 平1-261760

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)10月18日

G 06 F 13/10  
9/063 3 0  
4 2 0B-7737-5B  
S-7361-5B

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 コンピュータ装置

⑯ 特 願 昭63-88940

⑰ 出 願 昭63(1988)4月13日

⑱ 発 明 者 信 谷 俊 行 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
 ⑳ 代 理 人 弁理士 小林 将高

## 明 細 書

## 1. 発明の名称

コンピュータ装置

## 2. 特許請求の範囲

リードオンリメモリに記憶された基本入出力プログラムを読み出して、入出力データを処理するコンピュータ装置において、前記リードオンリメモリの所定アドレスに記憶された基本入出力プログラムを所定のタイミングでランダムアクセスメモリに書き込む基本入出力プログラム書き込み手段と、この基本入出力プログラム書き込み手段によりランダムアクセスメモリに書き込まれた基本入出力プログラム領域への書き込みを禁止または許可する書き込み制御手段とを具備したことを特徴とするコンピュータ装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、コンピュータ装置に係り、特にコンピュータ装置に接続される入出力機器をコントロールするBIOSシステムの起動を制御する装

置に関するものである。

(従来の技術)

従来、この種のコンピュータ装置においては、ROM等の記憶媒体に記憶されたBIOS(Basic Input Output System)プログラムを読み出して入出力をコントロールしている。

そして、電源が投入されると、CPUがROM上のBIOSプログラム格納アドレスを出力して、BIOSプログラムの読み出しを実行する。

ところが、CPUの最小サイクル時間よりも、ROMアクセスタイムが長いため、CPUにウェイトサイクルを挿入して、ROMのアクセスタイムを調整している。

(発明が解決しようとする課題)

このように、従来のコンピュータ装置においてCPUがBIOSプログラムをリードする際には、ウェイトステートを挿入する必要があるため、CPUの最小サイクルによる処理を阻害して、高速アクセスによるデータ処理を効率を大幅に低下させてしまう問題点があった。

なお、この種の問題を高速アクセス型のROMにより改善しようとしても、ROMの価格が非常に高いため、総コストを引き上げる要因となってしまう。

この発明は、上記の問題点を解決するためになされたもので、ROMの所定アドレスに記憶されたBIOSプログラムのリードアクセス発生時に高速アクセス型のRAMの所定アドレスからBIOSプログラムを書き込み、さらに書き込まれたBIOSプログラム領域への書き込みを管理することにより、入出力データ処理に必要なBIOSプログラムをソフトウェアによる暴走破壊から保護できるコンピュータ装置を得ることを目的とする。

#### 〔課題を解決するための手段〕

この発明に係るコンピュータ装置は、リードオンリメモリの所定アドレスに記憶された基本入出力プログラムを所定のタイミングでランダムアクセスメモリに書き込む基本入出力プログラム書き込み手段と、この基本入出力プログラム書き込み手段

によりランダムアクセスメモリに書き込まれた基本入出力プログラム領域への書き込みを禁止または許可する書き込み制御手段とを設けたものである。

#### 〔作用〕

この発明においては、リードオンリメモリのリードアクセス時に、基本入出力プログラム書き込み手段が所定のタイミングで読み出した基本入出力プログラムをランダムアクセスメモリに書き込み、この書き込み終了後、書き込み制御手段がランダムアクセスメモリに書き込まれた基本入出力プログラム領域への書き込みを禁止または許可する。

#### 〔実施例〕

第1図はこの発明の一実施例を示すコンピュータ装置の構成を説明するブロック図であり、1はROMで、BIOSプログラムが格納されている。2はランダムアクセスメモリ(RAM)で、この発明の基本入出力プログラム書き込み手段を兼ねるCPU3または図示しないダイレクトメモリ

アクセス(DMA)コントローラからのアクセス制御によりROM1に記憶されたBIOSプログラムが書き込まれる。

4はデータバスで、ROM1から読み出されるBIOSプログラムをRAM2に転送する。5はアドレスバスで、書き込み/読み出しアドレスを各部に指示する。

6は制御信号処理回路で、CPU3からの指示7に応じてRAM2への書き込み信号12をナンドゲート11に出力する。8はデコード回路で、制御信号処理回路6からの出力信号とCPU3からデータバス4を介して報知される書き込み禁止/書き込み許可データを解析して、書き込み信号12の送出を制御するD型のフリップフロップ10をセットまたはリセットする信号を出力する。これにより、D型のフリップフロップ10の反転出力からナンドゲート11の一方入力側に入力される書き込み信号12の送出を制御するための書き込み禁止/書き込み許可信号10aが送出される。なお、ナンドゲート11の出力がRAM2への書き込みイネー

ブル信号9となる。

なお、CPU3、デコード回路8、D型のフリップフロップ10、ナンドゲート11、12よりこの発明の書き込み制御手段が構成され、基本入出力プログラムのRAM2への書き込み終了後、RAM2に書き込まれた基本入出力プログラム領域への書き込みを禁止または許可する。

次に、書き込みイネーブル信号9の送出制御動作について説明する。

CPU3またはDMAコントローラの制御によりROM1に格納されたBIOSプログラムの内容がRAM2の所定アドレスから書き込まれる。

このRAM2へのBIOSプログラム複写書き込みが完了すると、CPU3はRAM2に書き込まれたBIOSプログラムがソフト処理により改変または消失されないように、データバス4を介して書き込み禁止/書き込み許可データをデコード回路8に転送する。

デコード回路8は、この書き込み禁止/書き込み許可データを解析し、制御信号処理回路6からの書

込み信号12の送出を制御するための書き込み禁止／書き込み許可信号10aを出力するためのD型のフリップフロップ10をセットする。これにより、D型のフリップフロップ10の反転出力端子から書き込み禁止／書き込み許可信号10aがLレベル(内容「0」)となる。この書き込み禁止／書き込み許可信号10aと書き込み信号12とのナンド出力、すなわち書き込みイネーブル信号9が「1」となる。ところが、RAM2のイネーブルポートが反転入力のため、結果としては書き込みイネーブル信号9がLレベルとなり、例えば不正にRAM2に対して書き込みアクセスが発生して書き込み信号12が「1」となっても、RAM2への書き込みアクセスを禁止することができる。従って、RAM2の内容(BIOSプログラム)が不正に書き換えられてしまうといった事態を回避することができる。

一方、例えばRAM2に書き込まれたBIOSプログラムにさらにBIOSプログラムを追加書き込みを行うような事態が発生した場合またはR

AM2の所定領域の内容を書き換えるような要求が発生した場合には、CPU3がデコード回路8から後段のD型のフリップフロップ10へのD入力をLレベルとする信号を送出するための書き込み禁止／書き込み許可データをデータバス4を介してデコード回路8に出力する。

これにより、D型のフリップフロップ10の反転出力端子から書き込み禁止／書き込み許可信号10aがHレベル(内容「1」)となる。この書き込み禁止／書き込み許可信号10aと書き込み信号12とのナンド出力、すなわち書き込みイネーブル信号9が「0」となる。ところが、RAM2のイネーブルポートが反転入力のため、結果としては書き込みイネーブル信号9がHレベルとなり、RAM2がイネーブルとなり、アドレスバス5で指示されるアドレスにデータバス4上のデータが書き込まれる。

なお、上記実施例では書き込み禁止／書き込み許可信号10aの送出をCPU3がアドレスバス5に出力する特定アドレスデータおよびデータバス4

に出力する特定データから、すなわち書き込み禁止／書き込み許可データにより実現する場合について説明したが、後段のD型のフリップフロップ10の反転出力端子から書き込み禁止／書き込み許可信号10aを「1、0」にセットできれば良いので、アクセス方法については限定はなく、自由に設定できる。

これにより、RAM2に複写されたBIOSプログラムに基づいてCPU3が起動している場合に、アプリケーションプログラム等のユーザレベルのプログラムに起因する不具合または操作の誤りから不正にBIOSをコピーしたRAM2のエリアをアクセスして、その内容を書き換えてしまうといった重大な事態を回避できる。

また、RAM2に複写されたBIOSプログラムの一部を書き換える場合には、そのアドレスを指定して必要なプログラムのみを追加、削除できる。

第2図はこの発明による書き込み信号送出処理手順の一例を説明するフローチャートである。な

お、(1)～(8)は各ステップを示す。

まず、CPU3の管理によるBIOSプログラムのRAM2への書き込み終了を待機し(1)、BIOSプログラムのRAM2への書き込みが終了したら、書き込み禁止／書き込み許可データを「1」にセットし(2)、書き込み信号12を無効とする(3)、次いで、書き込み禁止／書き込み許可データが変更されて「0」となったかどうかを判断し(4)、NOならばステップ(2)に戻り、YESならば書き込み禁止／書き込み許可信号10aを「1」とし(5)、書き込み信号12を有効とする(8)。そして、RAM2をイネーブルに設定し、アドレスバス5で指示されたアドレスにデータバス4上のデータを書込む。

次いで、書き込み終了を待機し(8)、書き込みが終了したら、ステップ(2)に戻る。

(発明の効果)

以上説明したようにこの発明は、リードオンリメモリの所定アドレスに記憶された基本入出力プログラムを所定のタイミングでランダムアクセス

メモリに書き込む基本入出力プログラム書き込み手段と、この基本入出力プログラム書き込み手段によりランダムアクセスメモリに書き込まれた基本入出力プログラム領域への書き込みを禁止または許可する書き込み制御手段とを設けたので、ランダムアクセスメモリへの基本入出力プログラム書き込み終了後に発生する不正なランダムアクセスメモリアクセスを禁止でき、ランダムアクセスメモリ内容の書き換えを未然に防止でき、従来のようなランダムアクセスメモリアクセス発生毎に基本入出力プログラムの再書き込み処理を省略できる。従って、基本入出力プログラムの再書き込み処理に伴う待ち時間がなくなり、CPUアクセス処理効率を大幅に高めることができる。

また、必要に応じて基本入出力プログラム領域への書き込みを禁止を解除して、ランダムアクセスメモリの所定アドレスにアクセスできるため、システムリセット処理を実行せずに、一旦格納した基本入出力プログラムの要部書き換えを効率よく実行できる等の幾多の優れた効果を奏する。

#### 4. 図面の簡単な説明

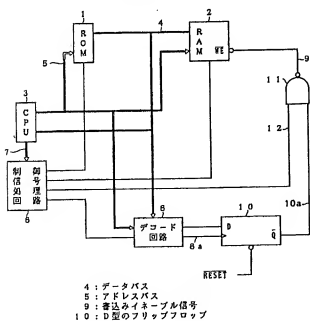
第1図はこの発明の一実施例を示すコンピュータ装置の構成を説明するブロック図、第2図はこの発明による書き込み信号送出処理手順の一例を説明するフローチャートである。

図中、1はROM、2はRAM、3はCPU、4はデータバス、5はアドレスバス、6は制御信号処理回路、8はデコード回路、9は書き込みイネーブル信号、10はD型のフリップフロップである。

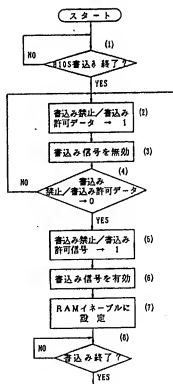
代理人 小林 将 高



第 1 図



第 2 図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成8年(1996)8月30日

【公開番号】特開平 1-261760

【公開日】平成1年(1989)10月18日

【年通号数】公開特許公報 1-2618

【出願番号】特願昭 63-88940

【国際特許分類第6版】

G06F 13/10 330

9/445

【F I】

G06F 13/10 330 B 7368-5B

9/06 420 S 7230-5B

学 術 補 正 書 (自 発)

平成 7 年 4 月 1 2 日

特許庁長官殿

1. 事件の表示 特願昭 63-88940 号

2. 発明の名称 コンピュータ装置

3. 補正をする者

事件との関係 特許出願人

住所 東京都渋谷区南平台町1番5号

名称 [100] キヤノン株式会社

代表者 御手洗 肇

4. 代理人 〒150

東京都渋谷区南平台町1番5号

フレックス土井ビル3階

小林特許事務所 電話 03(3496)1266番

(7171) 伊達士 小林 裕 高

5. 補正の対象

明細書の発明の詳細な説明の欄および図面

6. 補正の内容

(1) 明細書の第6頁3行の「ナンドゲート11、12」を、「ナンドゲート11、書込みゲート12」と補正する。

(2) 同頁第10頁12行の「イネーブルに設定し。」を、「イネーブルに設定し(7)。」と補正する。

(3) 図面中、第1図を別紙のように補正する。

以 上

第 1 図

